**BAB VI**

**DASAR – DASAR FLIP-FLOP**

Rangkaian elektronik yang bekerja atas dasar arus balik dari beberapa gate sederhana yang dihubungkan saling menyilang. Flip flom ini merupakan rangkaian digital yang digunakan untuk menyimpan satu bit secara semi permanent. sampai ada suatu perintah untuk menghapus/ mengganti isi dari bit yang disimpan. Flip-flop adalah rangkaian utama dalam logika sekuensial. Counter, register serta rangkaian sekuensial lain disusun dengan menggunakan flip-flop sebagai komponen utama. Flip-flop adalah rangkaian yang mempunyai fungsi pengingat (memory). Artinya rangkaian ini mampu melakukan proses penyimpanan data sesuai dengan kombinasi masukan yang diberikan kepadanya. Data yang tersimpan itu dapat dikeluarkan sesuai dengan kombinasi masukan yang diberikan.

Flip-flop mempunyai dua kondisi output yang stabil dan saling berlawanan. Perubahan dari setiap keadaan output dapat terjadi jika diberikan *trigger* pada flip-flop tersebut. *Triger* –nya berupa sinyal logika “1” dan “0” yang kontinyu. Ada 4 tipe Flip-flop yang dikenal, yaitu SR, JK, D dan T Flip-flop. Dua tipe pertama merupakan tipe dasar dari Flip-flop, sedangkan D dan T merupakan turunan dari SR dan JK Flip-flop.

Hubungan input-output ideal yang dapat terjadi pada flip-flop adalah:

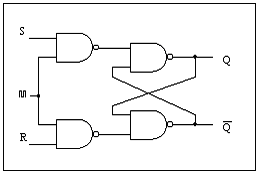
1. Set, yaitu jika suatu kondisi masukan mengakibatkan keluaran (Q) bernilai logika positif (1) saat dipicu, apapun kondisi sebelumnya.
2. Reset, yaitu jika suatu kondisi masukan mengakibatkan keluaran (Q) bernilai logika negatif (0) saat dipicu, apapun kondisi sebelumnya.
3. Tetap, yaitu jika suatu kondisi masukan mengakibatkan keluaran (Q) tidak berubah dari kondisi sebelumnya saat dipicu.
4. Toggle, yaitu jika suatu kondisi masukan mengakibatkan logika keluaran (Q) berkebalikan dari kondisi sebelumnya saat dipicu.

Secara ideal berdasar perancangan kondisi keluaran Q’ selalu berkebalikan dari kondisi keluaran Q.

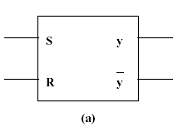
1. **Flip-Flop R-S**

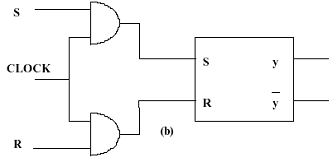
Flip-flop R-S adalah rangkaian dasar dari semua jenis flip-flop yang ada. Terdapat berbagai macam rangkaian flip-flop R-S, pada percobaan ini flip-flop R-S disusun dari empat buah gerbang NAND 2 masukan. Dua masukan flip-flop ini adalah S (set) dan R (reset), serta dua keluarannya adalah Q dan Q’.

Kondisi keluaran akan tetap ketika kedua masukan R dan S berlogika 0.  Sedangkan pada kondisi masukan R dan S berlogika 1 maka kedua keluaran akan berlogika 1, hal ini sangat dihindari karena bila kondisi masukan diubah menjadi berlogika 0 kondisi kelurannya tidak dapat diprediksi (bisa 1 atau 0). Keadaan ini disebut kondisi terlarang.



**Rangkaian Percobaan Flip-Flop R-S**





KETERANGAN :

(a) flip-flop RS

(b) flip-flop RS ber ‘clock’

Konsep Flip-flop RS yang harus diingat adalah sbb:

1. R dan S keduanya rendah berarti keluaran y tetap berada pada keadaan terakhirnya secara tak terbatas akibat adanya aksi penggrendelan internal.
2. Masukan S yang tinggi mengeset keluaran y ke 1, kecuali jika keluaran ini memang telah berada pada keadaan tinggi. Dalam hal ini keluaran tidak berubah, walaupun masukan S kembali ke keadaan rendah.
3. Masukan R yang tinggi mereset keluaran y ke 0, kecuali jika keluaran ini memang telah rendah. Keluaran y selanjutnya tetap pada keadaan rendah, walaupun masukan R kembali ke keadaan rendah.
4. Memberikan R dan S keduanya tinggi pada saat yang sama adalah terlarang karena merupakan pertentangan (Kondisi ini mengakibatkan masalah pacu, yang akan dibahas kemudian).
5. **Flip-flop J-K**

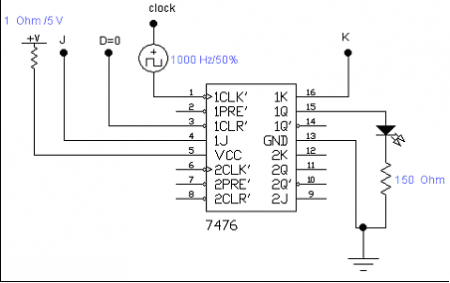
Flip-flop J-K merupakan penyempurnaan dari  flip-flop R-S terutama untuk mengatasi masalah osilasi, yaitu dengan adanya umpan balik, serta masalah kondisi terlarang seperti yang telah dijelaskan di atas, yaitu pada kondisi masukan J dan K berlogika 1 yang akan membuat kondisi keluaran menjadi berlawanan dengan kondisi keluaran sebelumnya atau dikenal dengan istilah *toggle*. Sementara untuk keluaran berdasarkan kondisi-kondisi masukan yang lain semua sama dengan flip-flop R-S.

Dua sifat unik dari flip-flop JK adalah:

1. Jika kedua data input pada keadaan nol, tidak akan terjadi perubahan pada
2. output meskipun diberikan sinyal clock (output tetap).
3. Jika kedua data input pada keadaan satu, pada tiap pulsa clock data output akanberubah dari sebelumnya (komplemen dari data sebelumnya).

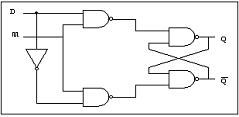


Flip-flop J-K



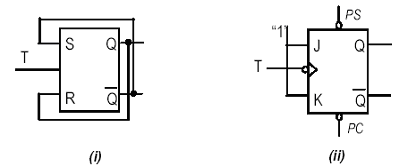
1. **Flip-flop D**

Flip-flop D dapat disusun dari flip-flop S-R atau flip-flop J-K yang masukannya saling berkebalikan. Hal ini dimungkinkan dengan menambahkan salah satu masukannya dengan inverter agar kedua masukan flip-flop selalu dalam kondisi berlawanan. Flip-flop ini dinamakan dengan flip-flop data karena keluarannya selalu sama dengan masukan yang diberikan. Saat flip-flop pada keadaan aktif, masukan akan diteruskan ke saluran keluaran. Contoh rangkaian Flip-flop D (Picu logika tinggi) :



1. **T-FLIP-FLOP (Toggle Flip-Flop)**

Sebuah T-FF dapat dibentuk dari SR-FF maupun dari JK-FF, karena pada kenyataan, IC T-FF tidak tersedia di pasaran. T-FF biasanya digunakan untuk rangkaian yang memerlukan kondisi output berikut yang selalu berlawanan dengan kondisi sebelumnya, misalkan pada rangkaian pembagi frekuensi (*Frequency Divider*). Rangkaian T-FF dibentuk dari SR-FF dengan memanfaatkan hubungan *Set* dan *Reset* serta output Q dan Q’ yang diumpan balik ke input S dan R. Sedangkan rangkaian T-FF yang dibentuk dari JK-FF hanya perlu menambahkan nilai “1” pada input-input J dan K.



Rangkaian T-Flip-Flop

KETERANGAN :

(i)      Dari SR-FF

(ii)    Dari JK-FF